

POWER SUPPLY CIRCUIT

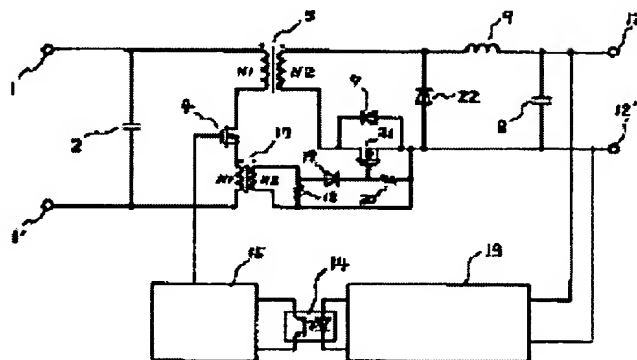
Patent number: JP9322532
Publication date: 1997-12-12
Inventor: SUZUKI KAZUYA; MASUYAMA TOSHIHIKO
Applicant: ORIGIN ELECTRIC
Classification:
- **International:** *H02M3/28; H02M3/335; H02M7/21; H02M3/24; H02M7/21; (IPC1-7): H02M3/28; H02M3/335; H02M7/21*
- **European:**
Application number: JP19960156130 19960528
Priority number(s): JP19960156130 19960528

[Report a data error here](#)

Abstract of JP9322532

PROBLEM TO BE SOLVED: To reduce a loss at the time of a light load, by a method in which the primary winding of a current transformer is connected so as to detect a current which is turned on/off by a main switching device, and an FET is driven by the secondary winding of the current transformer.

SOLUTION: If a driving signal is applied to a main switching device 4 from a control circuit 15, a current proportional to an output current flows through the primary winding N1 of a transformer 3. At that time, a voltage is induced in the secondary winding N2 of the transformer 3 and a current is supplied to the output side through a choke coil 9, a capacitor 8 and a diode 7. At the same time, a voltage is induced in the secondary winding N2 of a current transformer 17, and a current flows through a resistor 18, a diode 19 and a resistor 20 to turn on an FET 21. Therefore, the ON-voltage of the FET 21 can be set at a value lower than the normal forward voltage of a diode, so that a loss can be reduced.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-322532

(43) 公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 2 M	3/28		H 0 2 M	3/28	F
	3/335			3/335	B
	7/21	8726-5H		7/21	A

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平8-156130

(22) 出願日 平成8年(1996)5月28日

(71) 出願人 000103976

オリジン電気株式会社

東京都豊島区高田1丁目18番1号

(72) 発明者 鈴木 和也

東京都豊島区高田1丁目18番1号 オリジ
ン電気株式会社内

(72) 発明者 増山 利彦

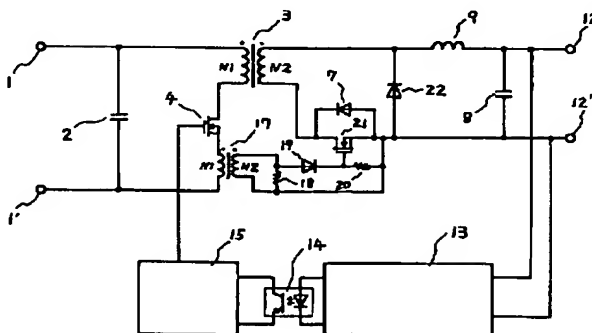
東京都豊島区高田1丁目18番1号 オリジ
ン電気株式会社内

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 従来の電源回路にあっては、F E T に供給されるエネルギーが出力電力に関係なく一定であるので、軽負荷時の損失が大きいという問題があった。

【解決手段】 整流側に F E T 2 1 を用いた電源回路において、1 次巻線 N 1 が主スイッチング素子 4 と直列に接続され、2 次巻線 N 2 間に該主スイッチング素子 4 のオン時に導通する極性のダイオード 1 9 と抵抗 2 0 よりなる直列回路が接続された変流器 1 7 と、該抵抗 2 0 の両端にゲートとソースが接続され、主スイッチング素子 4 のオン時にオンする F E T 2 1 とからなることを特徴とする電源回路。



【特許請求の範囲】

【請求項 1】 整流側或いはフライホイール側に FET を用いた電源回路において、主スイッチング素子によりオン、オフされた電流を検出するように変流器の 1 次巻線を接続し、該変流器の 2 次巻線により上記 FET を駆動することを特徴とする電源回路。

【請求項 2】 整流側に FET を用いた電源回路において、1 次巻線が主スイッチング素子と直列に接続され、2 次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、該抵抗の両端にゲートとソースが接続され、主スイッチング素子のオン時にオンする FET とからなることを特徴とする電源回路。

【請求項 3】 フライホイール側に FET を用いた電源回路において、1 次巻線が主スイッチング素子と直列に接続され、2 次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、上記変流器の 2 次巻線間に上記主スイッチング素子のオフ時に導通する極性のダイオードを介してゲートとソースが接続され、主スイッチング素子のオフ時にオンする FET とからなることを特徴とする電源回路。

【請求項 4】 整流側及びフライホイール側に FET を用いた電源回路において、変流器の第 1 の巻線が、主スイッチング素子と直列に接続され、変流器の第 2 の巻線間に、主スイッチング素子のオン時に導通する極性でダイオードと抵抗よりなる直列回路が接続され、該抵抗の両端に整流側 FET のゲートとソースが主スイッチング素子のオン時に整流側 FET が導通する極性で接続されると共に、変流器の第 3 の巻線が、フライホイール側 FET のゲート、ソース間に、主スイッチング素子のオフ時に上記フライホイール側 FET が導通する極性で接続されることを特徴とする電源回路。

【請求項 5】 上記変流器に FET 駆動以外の巻線を設け、該巻線の電圧を過電流保護の検出電圧として使用することを特徴とする請求項 1 乃至 4 のいずれかに記載の電源回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、整流側或いはフライホイール側に FET を用いた電源回路に関する。

【0002】

【従来の技術】 図 10 は従来の電源回路を説明するための図である。

【0003】 図 10 において、入力端子 1、1' 間に平滑用コンデンサ 2 を接続し、コンデンサ 2 に並列に、トランス 3 の 1 次巻線 N1、主スイッチング素子 4、電流検出回路、例えば電流検出用抵抗 5 からなる直列回路を接続する。トランス 3 の 2 次巻線 N2 間に FET 6 とダイオード 7 の直列回路を接続し、フライホイール側の F

ET 6 に並列にコンデンサ 8 とチョークコイル 9 の直列回路からなる平滑回路を接続する。

【0004】 ダイオード 7 の両端に抵抗 10 と抵抗 11 の直列回路を接続し、抵抗 10 と抵抗 11 の接続点を FET 6 のゲートに接続する。コンデンサ 8 の両端から出力端子 12、12' を介して直流電圧を出力する。2 次側制御回路 13 は出力端子 12、12' の電圧を検出し、比較増幅した信号をホトカプラ 14 に供給する。制御回路 15 は、ホトカプラ 14 の信号により主スイッチング素子 4 のオン、オフ比を制御すると共に、抵抗 5 の両端電圧を比較増幅回路 16 により比較増幅した信号によっても、主スイッチング素子 4 のオン、オフ比を制御する機能を有する。

【0005】 次に動作を説明する。

【0006】 先ず、制御回路 15 より主スイッチング素子 4 に駆動信号が印加されると、主スイッチング素子 4 がオンし、トランス 3 の 1 次巻線 N1 を介して電流が主スイッチング素子 4 に流れる。トランス 3 の 2 次巻線 N2 には、黒印側を正とする電圧が誘起し、コンデンサ 8、チョークコイル 9、ダイオード 7 を介して出力側に電流が供給される。

【0007】 次に、制御回路 15 の駆動信号が消失すると、主スイッチング素子 4 がオフする。主スイッチング素子 4 のオン期間にチョークコイル 9 に蓄積されたエネルギーが FET 6 を介してコンデンサ 8 と出力に供給される。このとき、トランス 3 の 2 次巻線 N2 の黒印側を負とする電圧により FET 6 のゲートに電流が供給されるので、FET 6 がオンし、FET 6 のソース・ドレイン間は FET 6 のボディダイオードの順方向電圧より低くなり、FET 6 に生じる損失を低減させることができる。

【0008】

【発明が解決しようとする課題】 しかし、このような従来の電源回路にあっては、FET 6 の駆動エネルギーを主にトランス 3 の 2 次巻線 N2 等の電圧源から得る構成になっているので、FET 6 に供給されるエネルギーは出力電力に関係なく一定であり、軽負荷時の損失が大きいという問題があった。

【0009】

【発明の目的】 本発明は、このような従来の問題点に着目してなされたもので、変流器の 1 次巻線を主回路電流がオン、オフする個所に接続し、該変流器の 2 次巻線に誘起するエネルギーにより FET を駆動することにより、上記問題点を解決することを目的とする。

【0010】

【課題を解決するための手段】 請求項 1 に記載の発明は、上記課題を解決するために、整流側或いはフライホイール側に FET を用いた電源回路において、主スイッチング素子によりオン、オフされた電流を検出するように変流器の 1 次巻線を接続し、該変流器の 2 次巻線によ

り上記 FET を駆動することを特徴とする電源回路を提供するものである。

【0011】請求項 2 に記載の発明は、上記課題を解決するために、整流側に FET を用いた電源回路において、1 次巻線が主スイッチング素子と直列に接続され、2 次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、該抵抗の両端にゲートとソースが接続され、主スイッチング素子のオン時にオンする FET とからなることを特徴とする電源回路を提供するものである。

【0012】請求項 3 に記載の発明は、上記課題を解決するために、フライホイール側に FET を用いた電源回路において、1 次巻線が主スイッチング素子と直列に接続され、2 次巻線間に該主スイッチング素子のオン時に導通する極性のダイオードと抵抗よりなる直列回路が接続された変流器と、上記変流器の 2 次巻線間に上記主スイッチング素子のオフ時に導通する極性のダイオードを介してゲートとソースが接続され、主スイッチング素子のオフ時にオンする FET とからなることを特徴とする電源回路を提供するものである。

【0013】請求項 4 に記載の発明は、上記課題を解決するために、整流側及びフライホイール側に FET を用いた電源回路において、変流器の第 1 の巻線が、主スイッチング素子と直列に接続され、変流器の第 2 の巻線間に、主スイッチング素子のオン時に導通する極性でダイオードと抵抗よりなる直列回路が接続され、該抵抗の両端に整流側 FET のゲートとソースが主スイッチング素子のオン時に整流側 FET が導通する極性で接続されると共に、変流器の第 3 の巻線が、フライホイール側 FET のゲート、ソース間に、主スイッチング素子のオフ時に上記フライホイール側 FET が導通する極性で接続されることを特徴とする電源回路を提供するものである。

【0014】請求項 5 に記載の発明は、上記課題を解決するために、上記変流器に FET 駆動以外の巻線を設け、該巻線の電圧を過電流保護の検出電圧として使用することを特徴とする請求項 1 乃至 4 のいずれかに記載の電源回路を提供するものである。

【0015】

【発明の実施の形態】図 1 及び図 2 は本発明の第 1 の実施の形態を説明するための図である。

【0016】図 1 において、主スイッチング素子 4 と直列に変流器 17 の 1 次巻線 N1 を接続し、変流器 17 の 2 次巻線 N2 間に抵抗 18 を接続する。抵抗 18 の両端にダイオード 19 と抵抗 20 の直列回路を接続する。ダイオード 7 と並列に FET 21 を接続し、FET 21 のゲートをダイオード 19 と抵抗 20 の接続点に、FET 21 のソースを抵抗 20 の他端にそれぞれ接続する。これらは、主スイッチング素子 4 がオンする時、FET 21 がオンするように接続される。22 はフライホイールダイオードである。

【0017】次に図 2 を用いて動作を説明する。

【0018】先ず時刻 $t = t_1$ で、駆動信号が制御回路 15 から主スイッチング素子 4 に印加されると、主スイッチング素子 4 がオンし、主スイッチング素子 4 には出力電流に比例した電流がトランス 3 の 1 次巻線 N1 を介して流れる。

【0019】この時、トランス 3 の 2 次巻線 N2 には、黒印側を正とする電圧が誘起し、チョークコイル 9、コンデンサ 8、ダイオード 7 を介して出力側に電流が供給される。同時に、変流器 17 の 2 次巻線 N2 からも黒印側を正とする電圧が誘起し、電流が抵抗 18、及びダイオード 19、抵抗 20 を流れ、FET 21 をオンさせる。FET 21 のオン電圧は、通常のダイオードの順方向電圧よりも低く設定できるので、損失を低減することができる。

【0020】時刻 $t = t_2$ で主スイッチング素子 4 がオフすると、変流器 17 は時刻 $t = t_1 \sim t_2$ 間に励磁されたエネルギーを 2 次巻線 N2 から抵抗 18 に供給して、リセットする。

【0021】以上説明したように、この実施の形態では、FET 21 の駆動エネルギーは、出力電流が減少すると低下するため、損失を低減できると共に、出力電圧が低い時でも、FET 21 に駆動エネルギーを供給することができる。

【0022】図 3 は本発明の第 2 の実施の形態を説明するための図である。

【0023】この実施の形態は、FET をフライホイール側に用いたものであり、第 1 の実施の形態で説明した主スイッチング素子 4 がオフした時の変流器 17 のリセット電圧を利用し、ダイオード 23 及び抵抗 24 を介して FET 6 をオンさせるものである。

【0024】図 4 は本発明の第 3 の実施の形態を説明するための図である。

【0025】この実施の形態は、変流器 17 に第 3 の巻線 N3 を設け、FET を整流側とフライホイール側の両方に用いたものであり、主スイッチング素子 4 がオンの時には、変流器 17 の巻線 N2 より FET 21 のゲートにオン信号を印加し、主スイッチング素子 4 がオフの時には、変流器 17 の巻線 N3 より FET 6 のゲートにオン信号を印加する。

【0026】図 5 は本発明の第 4 の実施の形態を説明するための図である。

【0027】この実施の形態は、整流側 FET 21、フライホイール側 FET 6 のゲート・ソース間に、それぞれツェナダイオード 25、26 を接続したものであり、整流側 FET 21、フライホイール側 FET 6 のゲート・ソース間に異常に高い電圧が印加されるのを防止すると共に、主スイッチング素子 4 を流れる電流が増大した時、抵抗 20 に発生する電圧を一定にし、抵抗 20 の損失の増加を抑制することができる。

【0028】図6は本発明の第5の実施の形態を説明するための図である。

【0029】この実施の形態は、過電流保護機能を有する回路に適用したものであり、変流器17に巻線N4を設けて、抵抗27に主スイッチング素子4に流れる電流に比例した電圧を発生させ、ダイオード28を介して過電流制御回路29に信号を送出する。この信号は、過電流制御回路29により、予め定められた値以上になると、ほぼ一定になるように制御されるので、変流器17の巻線N4には、抵抗30に発生した電圧にほぼ比例した電圧が発生し、変流器17の巻線N2には、巻線N4の電圧に比例した電圧が発生する。主スイッチング素子4がオンした時、変流器17の巻線N2に発生した電圧によりダイオード19、抵抗31を介してFET21をオンさせる。

【0030】図7、図8は、それぞれ本発明の第6、第7の実施の形態を説明するための図である。

【0031】この実施の形態は、変流器17の1次巻線N1を整流側FET21、或いはフライホイール側FET6に直列に接続したものである。この実施の形態においても、以上説明したのとほぼ同様の効果が得られる。

【0032】図9は本発明の第8の実施の形態を説明するための図である。

【0033】この実施の形態は、主スイッチング素子4のオン時にトランス3にエネルギーを充電し、オフ時に出力へエネルギーを供給するフライバック方式の回路に適用したものである。この実施の形態においても、以上説明したのとほぼ同様の効果が得られる。

【0034】尚、トランス、主スイッチング素子、ダイオード等を含む電力変換部については、以上説明したこれらの実施の形態に限定されることなく、種々のものに適用することができる。

【0035】

【発明の効果】以上述べたように、本発明は、主スイッチング素子のオン、オフにより主回路電流が断続する個所に変流器の1次巻線を接続し、その変流器の第2、または第3の巻線出力より整流側FET、或いはフライホイール側FETのゲート・ソース間にエネルギーを供給する回路である。従って、整流側FET、或いはフライホイール側FETのゲート・ソース間に、出力電流にほぼ比例した電圧が印加できるので、FETの駆動エネルギーの適正化ができる。また、回路の簡易化ができる。出力

電圧が3V以下でも使用できる、大出力電流用のFETの駆動回路にも使用できる等の効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための図である。

【図2】本発明の第1の実施の形態を説明するための図である。

【図3】本発明の第2の実施の形態を説明するための図である。

【図4】本発明の第3の実施の形態を説明するための図である。

【図5】本発明の第4の実施の形態を説明するための図である。

【図6】本発明の第5の実施の形態を説明するための図である。

【図7】本発明の第6の実施の形態を説明するための図である。

【図8】本発明の第7の実施の形態を説明するための図である。

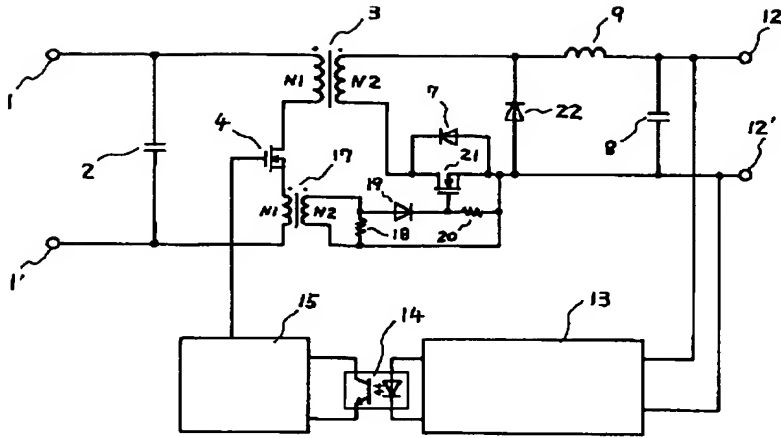
【図9】本発明の第8の実施の形態を説明するための図である。

【図10】従来例を説明するための図である。

【符号の説明】

1, 1' …入力端子	2…平滑用コンデンサ
3…トランス	4…主スイッチング素子
5…抵抗	6…FET
7…ダイオード	8…コンデンサ
9…チョークコイル	10, 11…抵抗
12, 12' …出力端子	13…2次側制御回路
14…ホトカプラ	15…制御回路
16…比較増幅回路	17…変流器
18…抵抗	19…ダイオード
20…抵抗	21…FET
22, 23…ダイオード	24…抵抗
25, 26…ツェナダイオード	27…抵抗
28…ダイオード	29…過電流制御回路
30, 31…抵抗	

【図 1】



【図 2】

【図 6】

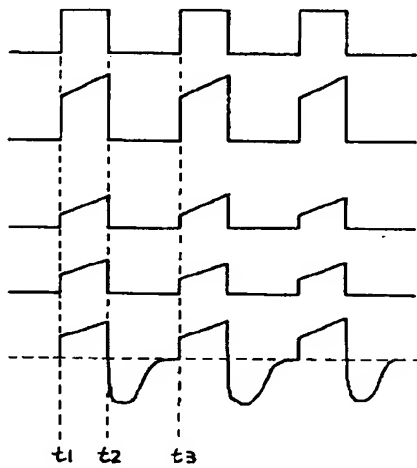
主スイッチング素子
4 の駆動信号

トランス 3 の
1 次巻線電流

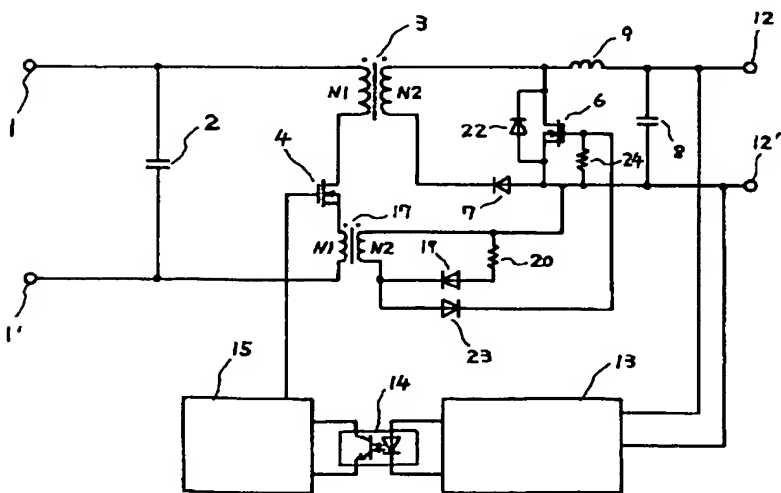
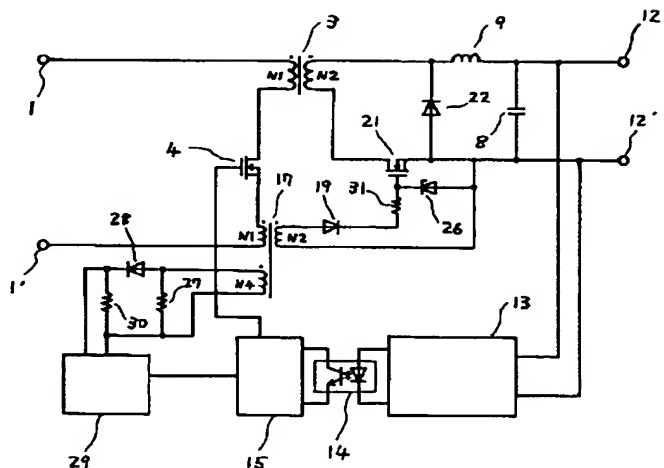
変流器 17 の
2 次巻線電流

抵抗 20 の
両端電圧

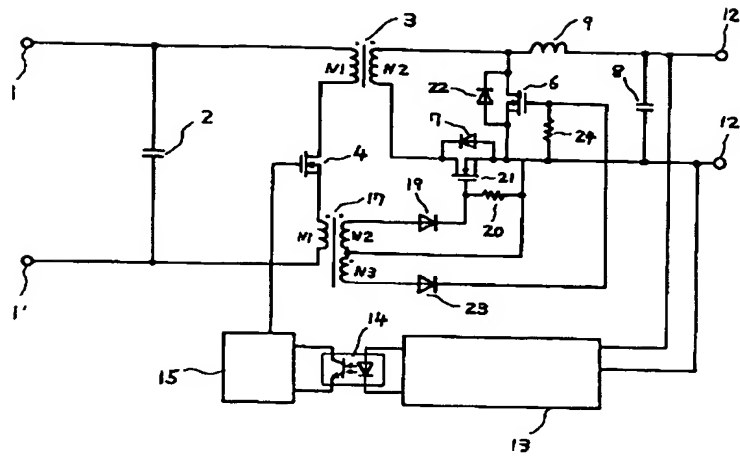
抵抗 18 の
両端電圧



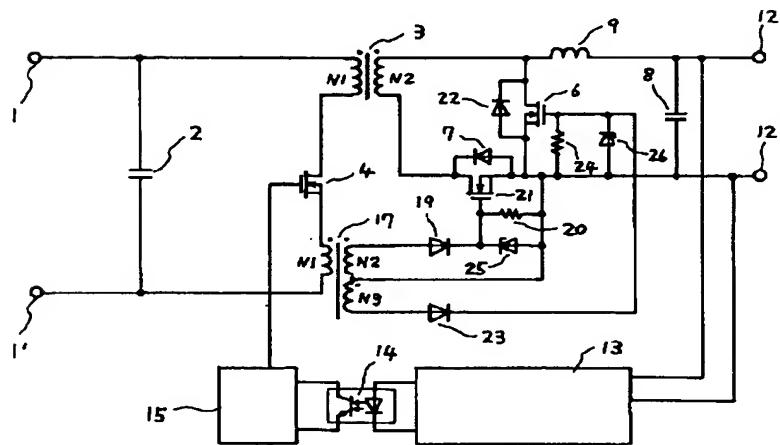
【図 3】



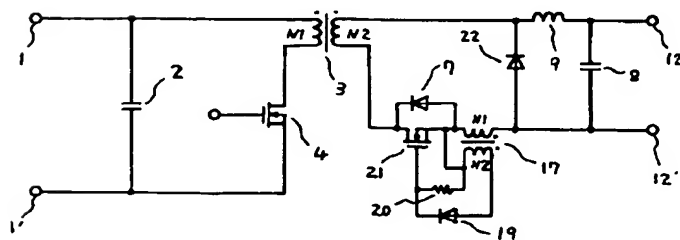
【图4】



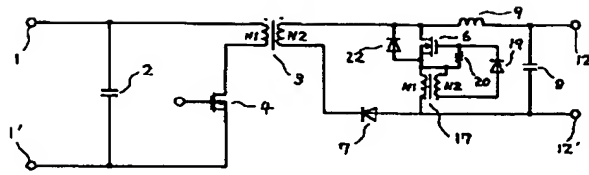
【图5】



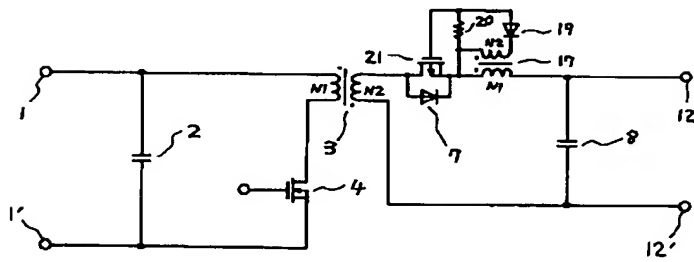
【图7】



【図 8】



【図 9】



【図 10】

